

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0042119
Application Number PATENT-2002-0042119

출원년월일 : 2002년 07월 18일
Date of Application JUL 18, 2002

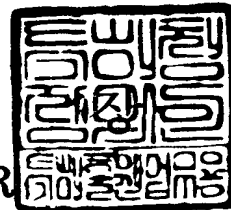
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 01 월 15 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0014		
【제출일자】	2002.07.18		
【국제특허분류】	H01L		
【발명의 명칭】	반도체 소자의 워드라인 형성 방법		
【발명의 영문명칭】	Method for forming a word line of semiconductor device		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	이후동		
【대리인코드】	9-1998-000649-0		
【포괄위임등록번호】	1999-058167-2		
【대리인】			
【성명】	이정훈		
【대리인코드】	9-1998-000350-5		
【포괄위임등록번호】	1999-054155-9		
【발명자】			
【성명의 국문표기】	이원창		
【성명의 영문표기】	LEE, Won Chang		
【주민등록번호】	710822-1029710		
【우편번호】	138-911		
【주소】	서울시 송파구 잠실동22 아파트 220동 405호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 동 (인) 대리인 이정훈 (인)		
【수수료】			
【기본출원료】	16	면	29,000 원
【가산출원료】	0	면	0 원

1020020042119

출력 일자: 2003/1/16

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 반도체 소자의 워드라인(Word line) 형성 방법에 관한 것으로, 특히 반도체 기판 상에 워드라인을 형성하되, 상기 워드라인 하부 부위는 채널 영역(Channel)에만 형성된 I 타입(Type)이고, 상기 워드라인 상부 부위는 라인(Line) 타입으로 형성함으로써, 상기 워드라인이 채널 영역 이외의 활성영역의 끝단부와 오버랩(Overlap)되지 않아 상기 활성영역의 끝단부에 발생하는 GIDL(Gate Induced Drain Leakage)을 방지하여 리프레쉬(Refresh) 특성을 증가시킴으로 소자의 특성, 수율 및 신뢰성을 향상시키는 기술이다.

【대표도】

도 4d

【명세서】

【발명의 명칭】

반도체 소자의 워드라인 형성 방법{Method for forming a word line of semiconductor device}

【도면의 간단한 설명】

도 1은 종래의 워드라인을 도시한 레이아웃도.

도 2는 도 1의 I-I 선상의 단면도.

도 3a 내지 도 3d는 본 발명의 실시 예에 따른 반도체 소자의 워드라인 형성 방법을 도시한 레이아웃도.

도 4a 내지 도 4d는 도 3a 내지 도 3d 각각의 I-I 선상 및 II-II 선상의 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

11,31 : 반도체 기판 12,32 : 활성영역

13,33 : 소자분리막 15,45 : 게이트 산화막

17 : 게이트전극 19,37 : 소오스/드레인 영역

35 : 제 1 질화막 39 : 제 1 층간 산화막

41 : 제 2 질화막 43 : 제 2 층간 산화막

47 : 워드라인

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 소자의 워드라인(Word line) 형성 방법에 관한 것으로, 특히 반도체 기판 상에 워드라인을 형성하되, 상기 워드라인 하부 부위는 채널 영역(Channel)에만 형성된 I 타입(Type)이고, 상기 워드라인 상부 부위는 라인(Line) 타입으로 형성하여 소자의 특성, 수율 및 신뢰성을 향상시키는 반도체 소자의 워드라인 형성 방법에 관한 것이다.
- <13> 도 1은 종래의 워드라인을 도시한 레이아웃도이고, 도 2는 도 1의 I-I 선상의 단면도이다.
- <14> 도 1 및 도 2를 참조하면, 종래의 트랜지스터는 활성영역(12)을 정의하는 소자분리막(13)이 구비된 p형 반도체 기판(11)상에 게이트 산화막(15)이 개재되어 형성되는 라인 타입의 게이트전극(17)과 상기 게이트전극(17) 양측의 반도체 기판(11) 표면내에 형성되는 소오스/드레인 영역(19)으로 구성된다.
- <15> 여기서, 상기 소자분리막(13)에 의해 정의되는 활성영역(12)은 상기 반도체 기판(11)에 가로축 방향으로 일정간격 이격 되면서 I 타입으로 배열되되, 이웃하는 열과 어긋나게 배열되어 형성된다.
- <16> 그리고, 상기 라인 타입의 게이트전극(17)으로 이루어진 워드라인은 상기 반도체 기판(11) 상에 가로축 방향으로 일정간격 이격 되어 배열되되, 상기 각 활성영역(12)과 두 군데 교차된다.

<17> 이어, 상기 게이트전극(17)이 라인 타입이기 때문에 워드라인이 채널 영역 이외의 활성영역(12)의 끝단부에도 오버랩(Overlap)(A)된다.

<18> 종래의 반도체 소자의 워드라인 형성 방법은 워드라인을 이루는 게이트전극이 라인 타입이기 때문에 상기 워드라인이 채널 영역 이외의 활성영역의 끝단부에도 오버랩되어 상기 워드라인과 소오스/드레인 영역간의 전압 차에 의한 GIDL이 발생되는데, DRAM(Dynamic Random Access Memory)에서 캐패시터에 저장된 전하가 GIDL에 의해 손실되기 때문에 리프레쉬(Refresh) 특성이 감소되는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로 반도체 기판 상에 워드라인을 형성하되, 상기 워드라인 하부 부위는 채널 영역에만 형성된 I 타입이고, 상기 워드라인 상부 부위는 라인 타입으로 형성함으로써, 리프레쉬 특성을 증가시키는 반도체 소자의 워드라인 형성 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<20> 이상의 목적을 달성하기 위한 본 발명은,

<21> 소자분리막이 구비된 제 1 도전형 반도체 기판 상에 희생 절연막을 형성하는 단계와,

<22> 게이트전극용 마스크를 사용한 사진식각 공정으로 상기 희생 절연막을 식각하여 채널영역에만 형성되는 I 타입으로 희생 절연막을 잔류시키는 단계와,

<23> 상기 희생 절연막 양측의 반도체 기판에 소오스/드레인 영역을 형성하는 단계와,

<24> 상기 희생 절연막을 포함한 전면에 제 1 층간 절연막을 형성하는 단계와,

- <25> 상기 제 1 층간 절연막과 희생 절연막의 상부 부위를 전면 식각하여 평탄화 시키는 단계와,
- <26> 상기 희생 절연막과 제 1 층간 절연막 상에 절연막과 제 2 층간 절연막을 형성하는 단계와,
- <27> 위드라인이 형성될 부위를 노출시키는 마스크를 사용한 사진식각 공정으로 상기 제 2 층간 절연막과 절연막을 식각하되, 상기 희생 절연막을 노출시키는 단계와,
- <28> 상기 희생 절연막을 제거하고, 상기 노출된 반도체 기판 상에 게이트 산화막을 성장시키는 단계와,
- <29> 상기 게이트 산화막을 포함한 전면에 도전층을 형성하는 단계와,
- <30> 상기 제 2 층간 절연막을 식각 방지막으로 상기 도전층을 전면 식각하여 위드라인을 형성하되, 상기 제 1 층간 절연막 사이의 위드라인은 채널영역에만 형성되는 I 타입으로 형성하고, 상기 절연막과 제 2 층간 절연막 사이의 위드라인은 라인 타입으로 형성하는 단계를 포함하는 반도체 소자의 위드라인 형성 방법을 제공하는 것과,
- <31> 상기 희생 절연막을 건식 식각 또는 습식 식각으로 제거하는 것과,
- <32> 상기 제 1 층간 절연막과 희생 절연막의 상부 부위를 건식 식각 또는 습식 식각으로 전면 식각하는 것과,
- <33> 상기 제 1 층간 절연막과 희생 절연막의 상부 부위를 화학적 기계 연마 공정으로 전면 식각하는 것과,
- <34> 상기 도전층을 건식 식각 또는 습식 식각으로 전면 식각하는 것과,
- <35> 상기 도전층을 화학적 기계 연마 공정으로 전면 식각하는 것을 특징으로 한다.

<36> 본 발명의 원리는 반도체 기판 상에 워드라인을 형성하되, 상기 워드라인 하부 부위는 채널 영역에만 형성된 I 타입이고, 상기 워드라인 상부 부위는 라인 타입으로 형성함으로써, 상기 워드라인이 채널 영역 이외의 활성영역의 끝단부와 오버랩되지 않아 상기 활성영역의 끝단부에 발생하는 GIDL을 방지하여 리프레쉬 특성을 증가시키기 위한 것이다.

<37> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하면 다음과 같다.

<38> 도 3a 내지 도 3d는 본 발명의 실시 예에 따른 반도체 소자의 워드라인 형성 방법을 도시한 레이아웃도이고, 도 4a 내지 도 4d는 도 3a 내지 도 3d 각각의 I-I 선상 및 II-II 선상의 단면도이다.

<39> 도 3a 및 도 4a를 참조하면, p형 반도체 기판(31)의 소자분리영역에 STI(Shallow Trench Isolation) 공정을 진행하여 활성영역(32)을 정의하는 소자분리막(33)을 형성한다.

<40> 여기서, 상기 소자분리막(33)에 의해 정의되는 활성영역(32)은 상기 반도체 기판(31)에 가로축 방향으로 일정간격 이격 되면서 I 타입으로 배열되되, 이웃하는 열과 어긋나게 배열되어 형성된다.

<41> 도 3b 및 도 4b를 참조하면, 상기 반도체 기판(31) 상에 제 1 질화막(35)을 형성한다.

<42> 그리고, 게이트전극용 마스크를 사용한 사진식각 공정으로 상기 제 1 질화막(35)을 식각하여 라인 타입이 아닌 상기 활성영역의 채널영역에만 형성되는 I 타입으로 상기 제 1 질화막(35)을 잔류시킨다.

- <43> 이어, 상기 제 1 질화막(35)을 마스크로 전면에 n형 불순물 이온을 이온 주입 하고, 드라이브 인(Drive-in) 확산하여 상기 제 1 질화막(35) 양측의 반도체 기판(31) 표면 내에 소오스/드레인 영역(37)을 형성한다.
- <44> 그리고, 상기 제 1 질화막(35)을 포함한 전면에 제 1 층간 산화막(39)을 형성한다.
- <45> 그 후, 상기 제 1 층간 산화막(39)과 제 1 질화막(35) 상부 부위를 전면 식각하여 전면을 평탄화 시킨다. 이때, 상기 전면 식각 공정은 건식 식각 공정이나 습식 식각 공정 또는 화학적 기계 연마 공정으로 실시한다.
- <46> 그리고, 상기 제 1 질화막(35)과 제 1 층간 산화막(39) 상에 제 2 질화막(41)과 제 2 층간 산화막(43)을 형성한다.
- <47> 도 3c 및 도 4c를 참조하면, 상기 제 2 층간 산화막(43) 상에 감광막을 도포하고, 상기 감광막을 워드라인이 형성될 부위에만 제거되도록 선택적으로 노광하고, 현상하여 감광막 패턴(도시하지 않음)을 형성한다.
- <48> 그리고, 상기 감광막 패턴 마스크로 상기 제 2 층간 산화막(43)과 제 2 질화막(41)을 식각한 후, 상기 감광막 패턴을 제거한다. 이때, 상기 식각 공정으로 상기 제 1 질화막(35)이 노출된다.
- <49> 도 3d 및 도 4d를 참조하면, 상기 제 1 질화막(35)을 제거하고, 열산화 공정으로 게이트 산화막(45)을 성장시킨 다음, 상기 게이트 산화막(35)을 포함한 전면에 다결정 실리콘층을 형성한다. 이때, 제 1 질화막(35)의 제거 공정은 건식 식각 공정 또는 습식 식각 공정으로 실시한다.

<50> 그리고, 상기 제 2 층간 산화막(43)을 식각 방지막으로 상기 다결정 실리콘층을 전면 식각하여 워드라인(47)을 형성한다. 이때, 상기 전면 식각 공정은 건식 식각 공정이나 습식 식각 공정 또는 화학적 기계 연마 공정으로 실시한다.

<51> 여기서, 상기 제 1 층간 산화막(39) 사이의 워드라인(47)은 라인 타입이 아닌 상기 활성영역(32)의 채널영역에만 형성되는 I 타입으로 형성하고, 상기 제 2 질화막(41)과 제 2 층간 산화막(43) 사이의 워드라인(47)은 라인 타입으로 형성한다.

<52> 여기서, 상기 워드라인(47)을 상기 반도체 기판(31) 상에 가로축 방향으로 일정간격 이격 하여 배열하되, 상기 각 활성영역(32)과 두 군데 교차시킨다.

【발명의 효과】

<53> 본 발명의 반도체 소자의 워드라인 형성 방법은 반도체 기판 상에 워드라인을 형성하되, 상기 워드라인 하부 부위는 채널 영역에만 형성된 I 타입이고, 상기 워드라인 상부 부위는 라인 타입으로 형성함으로써, 상기 워드라인이 채널 영역 이외의 활성영역의 끝단부와 오버랩되지 않아 상기 활성영역의 끝단부에 발생하는 GIDL을 방지하여 리프레쉬 특성을 증가시킴으로 소자의 특성, 수율 및 신뢰성을 향상시키는 효과가 있다.

【특허청구범위】**【청구항 1】**

소자분리막이 구비된 제 1 도전형 반도체 기판 상에 희생 절연막을 형성하는 단계와,

게이트전극용 마스크를 사용한 사진식각 공정으로 상기 희생 절연막을 식각하여 채널영역에만 형성되는 I 타입으로 희생 절연막을 잔류시키는 단계와,

상기 희생 절연막 양측의 반도체 기판에 소오스/드레인 영역을 형성하는 단계와,

상기 희생 절연막을 포함한 전면에 제 1 층간 절연막을 형성하는 단계와,

상기 제 1 층간 절연막과 희생 절연막의 상부 부위를 전면 식각하여 평탄화 시키는 단계와,

상기 희생 절연막과 제 1 층간 절연막 상에 절연막과 제 2 층간 절연막을 형성하는 단계와,

워드라인이 형성될 부위를 노출시키는 마스크를 사용한 사진식각 공정으로 상기 제 2 층간 절연막과 절연막을 식각하되, 상기 희생 절연막을 노출시키는 단계와,

상기 희생 절연막을 제거하고, 상기 노출된 반도체 기판 상에 게이트 산화막을 성장시키는 단계와,

상기 게이트 산화막을 포함한 전면에 도전층을 형성하는 단계와,

상기 제 2 층간 절연막을 식각 방지막으로 상기 도전층을 전면 식각하여 워드라인을 형성하되, 상기 제 1 층간 절연막 사이의 워드라인은 채널영역에만 형성되는 I 타입

으로 형성하고, 상기 절연막과 제 2 층간 절연막 사이의 워드라인은 라인 타입으로 형성하는 단계를 포함하는 반도체 소자의 워드라인 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 희생 절연막을 건식 식각 또는 습식 식각으로 제거함을 특징으로 하는 반도체 소자의 워드라인 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 제 1 층간 절연막과 희생 절연막의 상부 부위를 건식 식각 또는 습식 식각으로 전면 식각함을 특징으로 하는 반도체 소자의 워드라인 형성 방법.

【청구항 4】

제 1 항에 있어서,

상기 제 1 층간 절연막과 희생 절연막의 상부 부위를 화학적 기계 연마 공정으로 전면 식각함을 특징으로 하는 반도체 소자의 워드라인 형성 방법.

【청구항 5】

제 1 항에 있어서,

상기 도전층을 건식 식각 또는 습식 식각으로 전면 식각함을 특징으로 하는 반도체 소자의 워드라인 형성 방법.

【청구항 6】

제 1 항에 있어서,

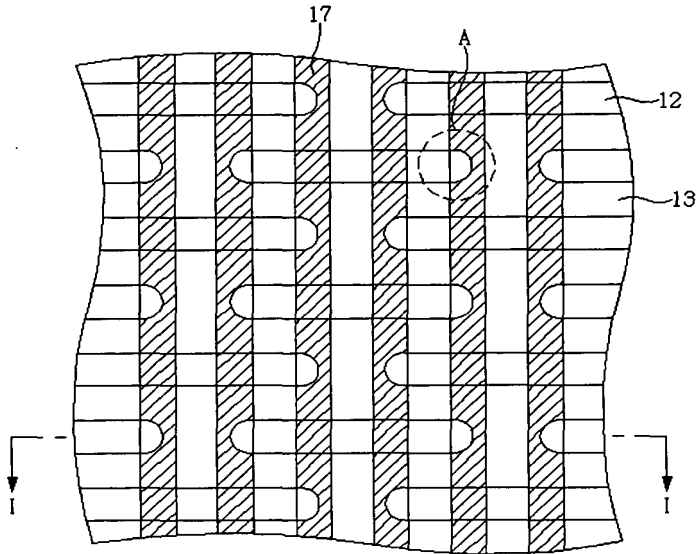
1020020042119

출력 일자: 2003/1/16

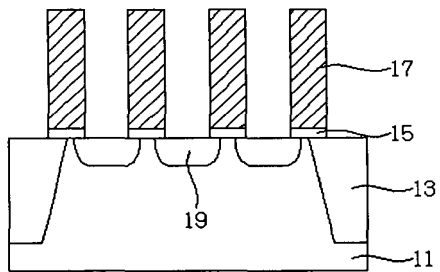
상기 도전층을 화학적 기계 연마 공정으로 전면 식각함을 특징으로 하는 반도체 소자의 워드라인 형성 방법.

【도면】

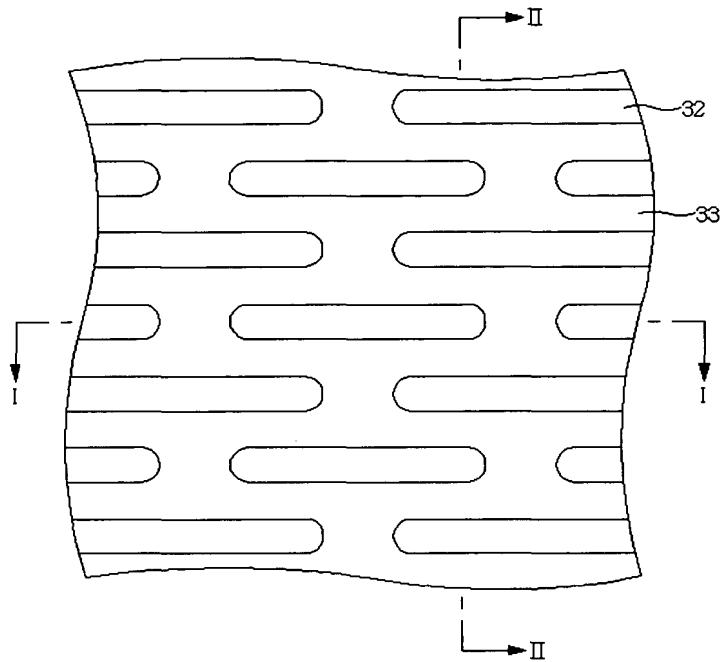
【도 1】



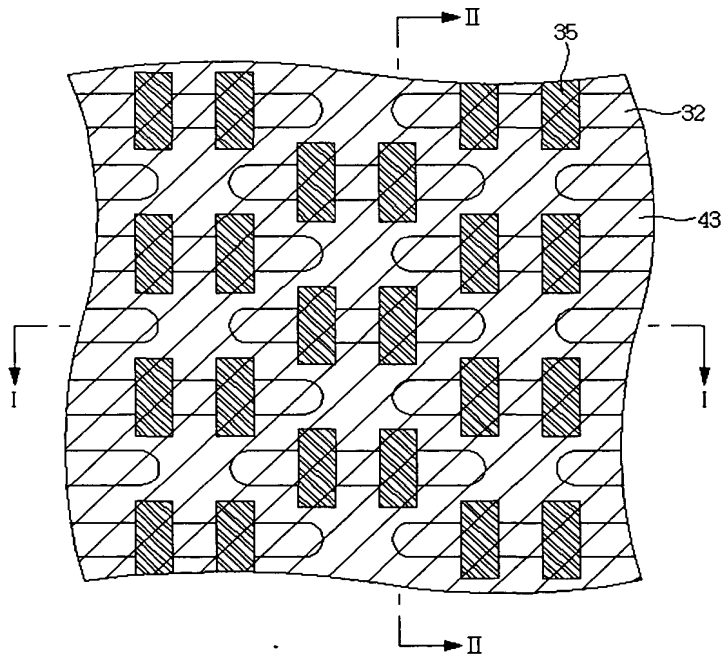
【도 2】



【도 3a】



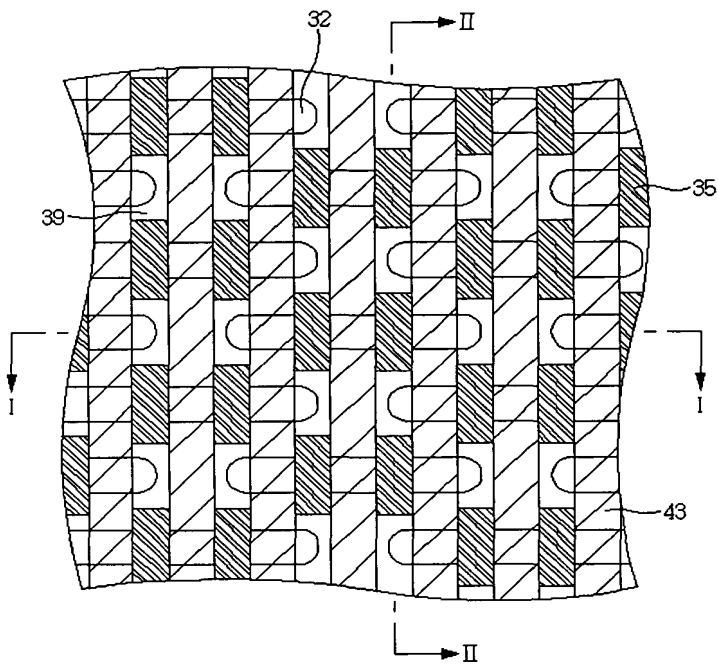
【도 3b】



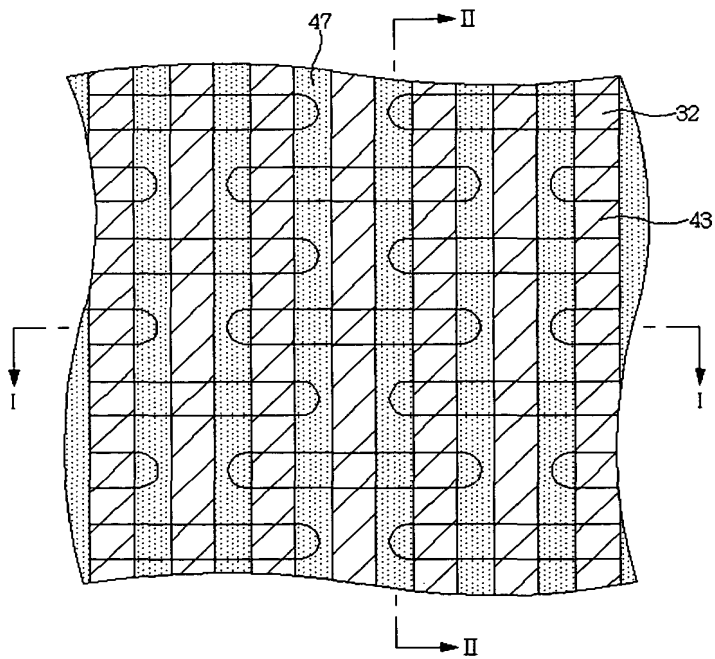
1020020042119

출력 일자: 2003/1/16

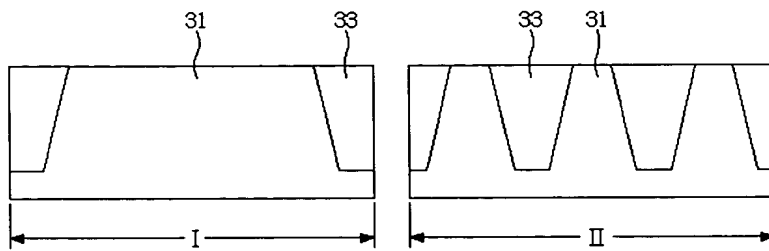
【도 3c】



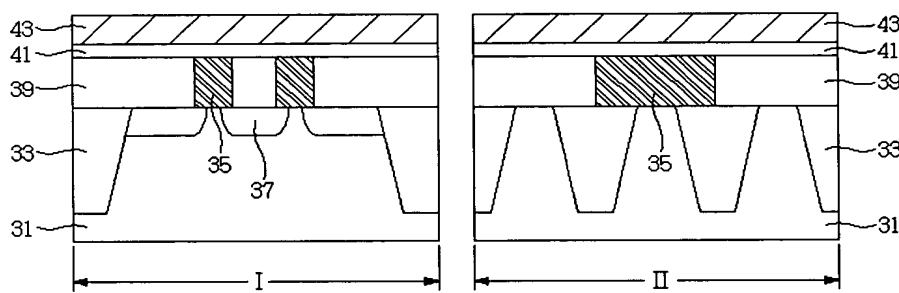
【도 3d】



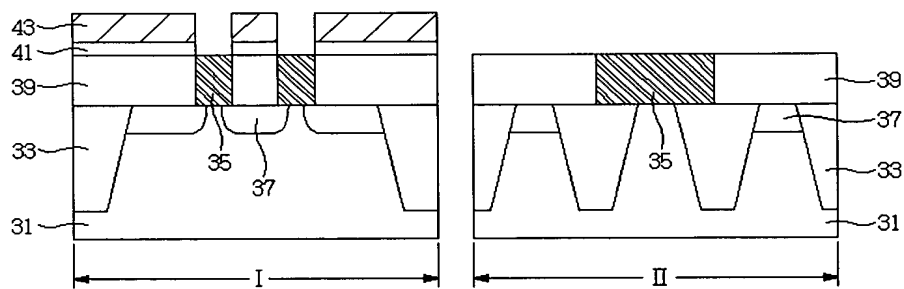
【도 4a】



【도 4b】



【도 4c】



【도 4d】

